

November 29, 2000

10:52

1

2/5/1 (Item 1 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

011463763 **Image available**

WPI Acc No: 1997-441670/199741

XRPX Acc No: N97-367577

LSI logic circuit e.g. CMOS LSI - has drivers to output clock signal to clock terminals of functional blocks for making functional blocks active or inactive

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9200026	A	19970731	JP 968435	A	19960122	199741 B

Priority Applications (No Type Date): JP 968435 A 19960122

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 9200026 A 8 H03K-019/00

Abstract (Basic): JP 9200026 A

The circuit has a control circuit part (22) which makes a number of functional blocks (21-A - 21-D) active or inactive based on the input signals from a pair of switching pins (14-1, 14-2). The level of the output signal corresponding to the functional block to be made inactive is set to low. The level of the output signal corresponding to be functional block to be made active is set to high. The output signal from the control circuit and the reset signal from a power on reset pin (12) are input to a first set of OR gates (23-A - 23-D). The output signal from the first set of OR gates is input to the reset terminal of the functional blocks.

The output signal from the control circuit and the external clock signal from a main clock pin (13) are input to a second set of OR gates (24-A - 24-D). The output signal from the second set of OR gates is input to a set of drivers (25-A - 25-D). The drivers output the clock signal to clock terminals of the functional blocks for making the functional block active or inactive.

ADVANTAGE - Reduces power consumption by inhibiting unnecessary operation of functional block.

Dwg.1/5

Title Terms: LSI; LOGIC; CIRCUIT; CMOS; LSI; DRIVE; OUTPUT; CLOCK; SIGNAL; CLOCK; TERMINAL; FUNCTION; BLOCK; FUNCTION; BLOCK; ACTIVE; INACTIVE

Derwent Class: U21

International Patent Class (Main): H03K-019/00

International Patent Class (Additional): G06F-001/04; G06F-001/10;

H03K-019/0948; H03K-019/173

File Segment: EPI

2/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05585226 **Image available**

LSI LOGIC CIRCUIT

PUB. NO.: 09-200026 JP 9200026 A]

PUBLISHED: July 31, 1997 (19970731)

INVENTOR(s): KURITA TOSHIAKI

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-008435 [JP 968435]
FILED: January 22, 1996 (19960122)
INTL CLASS: [6] H03K-019/00; G06F-001/04; G06F-001/10; H03K-019/0948;
H03K-019/173
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 42.2 (ELECTRONICS --
Solid State Components); 45.9 (INFORMATION PROCESSING --
Other)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the power consumption of an LSI logic circuit.

SOLUTION: A control circuit 22 provides an output signal of logical L to activate a function block according to the indication of changeover pins 14-1, 14-2 and an output signal of logical H to inactivate other function blocks. OR gates 23-A-23-D receive the output signal from the control circuit 22 and a reset signal given to a power-on reset terminal, OR them and provide an output to a reset terminal of function blocks 21-A-21-D. OR gates 24-A-24-D receive the output signal of the control circuit 22 and the external clock signal given to a main clock pin and OR them and provide an output to a clock terminal of the function blocks 21-A-21-D via drivers 25-A-25-D. The function blocks 21-A-21-D are operated according to the clock signal.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-200026

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/00			H 0 3 K 19/00	A
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C
	1/10	9199-5K	H 0 3 K 19/173	
H 0 3 K 19/0948			G 0 6 F 1/04	3 3 0 A
19/173			H 0 3 K 19/094	B

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平8-8435

(22) 出願日 平成8年(1996)1月22日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 栗田 敏明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

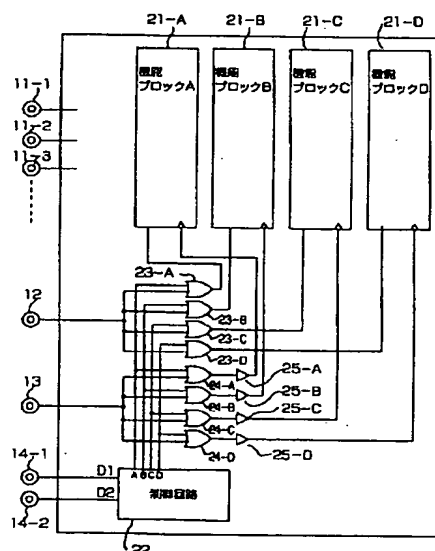
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 L S I 論理回路

(57) 【要約】

【課題】 消費電力の低減化を図る。

【解決手段】 制御回路22は、切り替えピン14-1、14-2が示す果たすべき機能にしたがって、該機能を果たすべき機能ブロックをアクティブにするために、その機能ブロックに対応する出力信号をL、それ以外の機能ブロックをインアクティブするためにその機能ブロックに対応する出力信号をHにする。ORゲート23-A~23-Dは、制御回路22の出力信号とパワーオンリセット端子に入力されるリセット信号を入力して、論理和を取り、機能ブロック21-A~21-Dのリセット端子に出力する。ORゲート24-A~24-Dは、制御回路22の出力信号とメリンクロックピンに入力される外部クロック信号を入力して、論理和を取り、ドライバ25-A~25-Dを介して、機能ブロック21-A~21-Dのクロック端子に出力する。機能ブロック21-A~21-Dは、クロック信号にしたがって動作する。



11-1, 11-2, 11-3...: データ入力ピン
12...: パワーオンリセットピン
13...: メインクロックピン
14-1, 14-2...: 切り替えピン
20...: LSI論理回路
25-A, 25-B, 25-C, 25-D...: クロックスキューおよびファンアウト
制御クロックドライバ

本発明の実施形態のLSI論理回路

【特許請求の範囲】

【請求項1】 クロック信号に基づいて動作する複数の機能ブロックと、

実行すべき機能を示す複数ビットの切り替え信号を入力して、該切り替え信号が示す機能を実行するために動作すべき前記1つもしくは複数の機能ブロックをアクティブするために、その機能ブロックに対応する制御信号を第1の論理レベルにし、その機能では実行する必要のない機能ブロックをインアクティブにするために、その機能ブロックに対応する前記制御信号を第2の論理レベルにする制御回路と、

外部クロック信号と前記各機能ブロックに対応する前記制御信号とを入力し、前記制御信号が第1の論理レベルを示す時、該制御信号に対応する機能ブロックの前記クロック信号をアクティブにするために、前記外部クロック信号を出力し、前記制御信号が第2の論理レベルを示す時、該制御信号に対応する機能ブロックの前記クロック信号をインアクティブにするために、第3の論理レベルの信号を出力するクロック停止回路とを、

備えたことを特徴とするLSI論理回路。

【請求項2】 前記クロック停止回路の出力信号を入力して、前記機能ブロックの前記クロック信号を出力するクロックスキュー対策用かファンアウト対策用の少なくともいずれかの対策用のクロックドライバを設けたことを特徴とする請求項1記載のLSI論理回路。

【請求項3】 前記機能ブロックは、リセット端子を持つ順序回路を有し、

外部リセット信号と前記機能ブロックに対応する前記制御信号とを入力して、前記制御信号が第1の論理レベルを示す時、前記外部リセット信号を該制御信号に対応する機能ブロックの前記リセット端子に出力し、前記制御信号が第2の論理レベルを示す時、該制御信号に対応する機能ブロックをリセットするリセット制御回路を設けたことを特徴する請求項1記載のLSI論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、LSI論理回路に関するものであり、特に、CMOS LSIなどのLSI論理回路における消費電力の低減化に関するものである。

【0002】

【従来の技術】図2は、従来のCMOS LSIで構成したLSI論理回路を示す構成図である。一般に、CMOS LSIの回路構成は、図2に示すように、LSI論理回路5の順序回路5-1を構成するフリップフロップをパワーオンリセットピン2に入力されるリセット信号により初期化しておく。そして、メインクロックピン2に外部クロックを入力して、該外部クロックを配線遅延差によるクロックスキュー対策およびファンアウト対策用のクロックドライバ4を介してクロック端子に入力

し、データ入力ピン1-1、…からデータを入力して、LSI論理回路5の順序回路5-1及び組み合わせ回路5-2をクロックに同期して動作させる。

【0003】

【発明が解決しようとする課題】しかしながら、従来のLSI論理回路では、以下のような課題があった。LSI論理回路が持っている機能のうちの一部の機能を使用したい場合、つまり、LSI動作モードにより一部の回路のみを動作させて他の回路は動作させたくない場合においても、回路全てがシステム・クロックに同期して動作してしまう。このため、動作させたくない回路も動作して論理レベルが逐次変化して、電流が流れ、消費電力が増加する。さらに、LSI論理回路をCMOSで構成した場合には、論理レベルが変化することにより電源からグラウンドに貫通電流が流れてしまい、LSI論理回路全体の消費電力を増加させてしまうという問題点があった。

【0004】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、クロック信号に基づいて動作する複数の機能ブロックと、実行すべき機能を示す複数ビットの切り替え信号を入力して、該切り替え信号が示す機能を実行するために動作すべき前記1つもしくは複数の機能ブロックをアクティブするために、その機能ブロックに対応する前記制御信号を第1の論理レベルにし、その機能では実行する必要のない機能ブロックをインアクティブにするために、その機能ブロックに対応する前記制御信号を第2の論理レベルにする制御回路と、外部クロック信号と前記機能ブロック数分の制御信号とを入力し、前記制御信号が第1の論理レベルを示す時、該制御信号に対応する機能ブロックの前記クロック信号をアクティブにするために、前記外部クロック信号を出力し、前記制御信号が第2の論理レベルを示す時、該制御信号に対応する機能ブロックの前記クロック信号をインアクティブにするために、第3の論理レベルの信号を出力するクロック停止回路とを備えている。以上のように、LSI論理回路を構成したので、切り替え信号が示す機能に従って、この機能を実行すべき機能ブロックが動作して、その機能を実行するのに必要のない機能ブロックのクロック信号がインアクティブとなり、その機能ブロックは動作しない。そのため、その動作しない機能ブロックの消費電力は低減される。従って、前記課題を解決できるのである。

【0005】

【発明の実施の形態】図1は、本発明の実施形態のLSI論理回路を示す構成図である。本実施形態のLSI論理回路が従来のLSI論理回路と異なる点は、第1に、LSI論理回路の機能をブロックに分割した時に、1つ機能を持ち単独で動作させるモードがあるもの、又は単独で動作するモードがない場合でも、他のモジュールと

一体で動作するモードが複数個ある場合は、各モジュールを1機能ブロックとして機能ブロックを分割していることである。第2に、実現すべき機能を示す切り替え信号を入力して、該切り替え信号が示す機能を果たすために動作すべき機能ブロックをアクティブにして、それ以外の機能ブロックをインアクティブにする制御回路と、動作させない機能ブロックの順序回路のリセットするとともにクロックを停止して、動作させる機能ブロックの順序回路のみパワーオンリセット信号とクロック信号を入力するクロック停止回路とリセット制御回路とを設けたことである。以下、本実施形態のLSI論理回路の構成を説明する。

【0006】まず、LSI論理回路20を機能ブロック毎に分割する。その分割の方法としては、その分割されたブロックが1つの機能を持ち、単独で動作させるモードがあるものを1ブロックとして構成する。もしくは、単独で動作させるモードがない場合でも他のモジュールと一体で動作するモードが複数ある場合に、そのモジュールを1機能ブロックとして分割する。図1に示すLSI論理回路では、一例として、機能1～機能4の4個の機能のモードに分類し、機能ブロックを21-A～21-Dの4個に分割した場合を示している。図1に示すLSI論理回路20は、複数のデータ入力ピン11-1、11-2、11-3、…、パワーオンリセットピン12、メインクロックピン13、切り替えピン14-1、14-2に接続されている。LSI論理回路20は、機能ブロック21-A、21-B、21-C、21-D、モードの数を表すに必要なビット数分（ここでは、モード数を4個としてので、2ビット）の入力端子と機能ブロック数分（ここでは、4個）の出力端子を持つ制御回路22、機能ブロック数分の2入力ORゲート23-A～23-D、機能ブロック数分の2入力ORゲート24-A～24-D、及び機能ブロック数分のクロックドライバ25-A～25-Dを備えている。

【0007】データ入力ピン11-1、11-2、…、は、機能ブロック21-A～21-Dに入力に接続されている。パワーオンリセットピン12は、ORゲート23-A～23-Dの一方の入力に接続されている。メインクロックピン13は、機能ブロック数分のクロックラインを介して、ORゲート24-A～24-Dの一方の入力に接続されている。切り替えピン14-1は、制御回路22のD1入力に接続されている。切り替えピン14-2は、制御回路22のD2入力に接続されている。制御回路22のA出力は、ORゲート23-A及びORゲート24-Aの他方の入力に接続されている。制御回路22のB出力は、ORゲート23-B及びORゲート24-Bの他方の入力に接続されている。制御回路22のC出力は、ORゲート23-C及びORゲート24-Cの他方の入力に接続されている。制御回路22のD出力は、ORゲート23-D及びORゲート24-Dの他

方の入力に接続されている。ORゲート23-Aの出力は、機能ブロック21-Aの順序回路のリセット入力に接続されている。ORゲート23-Bの出力は、機能ブロック21-Bの順序回路のリセット入力に接続されている。ORゲート23-Cの出力は、機能ブロック21-Cの順序回路のリセット入力に接続されている。ORゲート23-Dの出力は、機能ブロック21-Dの順序回路のリセット入力に接続されている。

【0008】ORゲート24-Aの出力は、クロックドライバ25-Aの入力に接続され、さらに、クロックドライバ25-Aの出力は、機能ブロック21-Aの順序回路のクロック端子に接続されている。ORゲート24-Bの出力は、クロックドライバ25-Bの入力に接続され、さらに、クロックドライバ25-Bの出力は、機能ブロック21-Bの順序回路のクロック端子に接続されている。ORゲート24-Cの出力は、クロックドライバ25-Cの入力に接続され、さらに、クロックドライバ25-Cの出力は、機能ブロック21-Cの順序回路のクロック端子に接続されている。ORゲート24-Dの出力は、クロックドライバ25-Dの入力に接続され、さらに、クロックドライバ25-Dの出力は、機能ブロック21-Dの順序回路のクロック端子に接続されている。

【0009】図3は、図1のLSI論理回路の機能の一例を示す図である。本実施形態では、LSI論理回路の機能を機能1～機能4の4個のモードに分類している。機能1は、機能ブロック21-A、21-B、21-Dを同時に動作させて、機能ブロック21-Cは動作させないモードである。機能2は、機能ブロック21-Aのみを動作させて、機能ブロック21-B、21-C、21-Dを動作させないモードである。機能3は、機能ブロック21-B、21-Cを動作させて、機能ブロック21-A、21-Dを動作させないモードである。機能4は、機能ブロック21-Dのみ動作させて、機能ブロック21-A～21-Cを動作させないモードである。機能ブロック21-A～21-Dは、リセット端子とクロック端子とを持ち、クロックに非同期でリセットされ、クロック端子に入力されるクロック信号に基づいて動作する順序回路と組み合わせ回路とを有するブロック回路である。

【0010】制御回路22は、複数個のモードの中から、切り替えピン14-1、14-2に入力される切り替え信号が示すモードの時に動作する機能ブロックをアクティブして、動作しない機能ブロックをインアクティブにするデコードである。ここでは、モードの個数を4（＝2²）個としているので、制御回路22の入力は切り替えピン14-1、14-2の2個であり、制御回路22の出力は、機能ブロック21-A～21-Dの個数の4個である。ORゲート23-A～23-Dは、動作させるべき機能ブロックの順序回路のリセット端子に

は、パワーオンリセットピン12より入力されるリセット信号を出力して、動作させない機能ブロックの順序回路はリセットするリセット制御回路である。ORゲート24-A~24-Dは、動作させるべき機能ブロックの順序回路のクロック端子には、メインクロックピン13より入力される外部クロック信号を出力して、動作させない機能ブロックの順序回路のクロック端子には、Hを出力するクロック停止回路である。クロックドライバ25-A~25-Dは、配線遅延により順序回路の誤動作を防止するためのクロックスキュー、及びクロックのなまりを防止するファンアウト対策用のドライバである。

【0011】図4は、図1中の制御回路22の構成図である。図4に示すように、制御回路22は、EX-ORゲート22-1とORゲート22-2とを有している。D1入力は、EX-ORゲート22-1の一方の入力に接続されている。D1入力の反転信号は、ORゲート22-2の一方の入力に接続されている。D2入力は、EX-ORゲート22-1の他方の入力、及びORゲート22-2の他方の入力に接続されている。図5は、図1の動作説明図である。図5に示すように、機能1は、切り替えピンD1=0、D2=0、機能2は、D1=0、D2=1、機能3は、D1=1、D2=0、機能4は、D1=1、D2=0を表すものとする。以下、図5を参照しつつ、図1の動作(a)~(d)の説明をする。

【0012】(a) 機能1

図5に示すように、機能1を実行するために、LSI論理回路20に接続される図示しない回路(例えば、ASICなど)で切り替えピンD1=0、D2=0にする。図4に示す制御回路22は、A出力をD1(=0)の論理レベルに等しいL(第1の論理レベル)、B出力をD2(=0)の論理レベルに等しいL(第1の論理レベル)、C出力をORゲート22-2により、D1の反転信号(=1)とD2との論理和を取りH(第2の論理レベル)、D出力をEX-ORゲート22-1により、D1とD2との排他的論理和を取りL(第1の論理レベル)にする。ORゲート23-Aは、Lの出力Aとパワーオンリセットピン12に入力されるパワーオンリセット信号との論理和を取り、パワーオンリセット信号を機能ブロック21-Aの順序回路のリセット端子に出力する。ORゲート23-Bは、Lの出力Bとパワーオンリセットピン12に入力されるパワーオンリセット信号との論理和を取り、パワーオンリセット信号を機能ブロック21-Bの順序回路のリセット端子に出力する。

【0013】ORゲート23-Cは、Hの出力Cとパワーオンリセットピン12に入力されるパワーオンリセット信号との論理和を取り、Hを機能ブロック21-Cの順序回路のリセット端子に出力する。ORゲート23-Dは、Lの出力Dとパワーオンリセットピン12に入力されるパワーオンリセット信号との論理和を取り、パワ

ーオンリセット信号を機能ブロック21-Dの順序回路のリセット端子に出力する。ORゲート24-Aは、Lの出力Aとメインクロックピン13に入力される外部クロック信号との論理和を取り、クロック信号をクロックドライバ25-Aを介して、機能ブロック21-Aの順序回路のクロック端子に出力する。ORゲート24-Bは、Lの出力Bとメインクロックピン13に入力される外部クロック信号との論理和を取り、クロック信号をクロックドライバ25-Bを介して、機能ブロック21-Bの順序回路のクロック端子に出力する。ORゲート24-Cは、Hの出力Cとメインクロックピン13に入力される外部クロック信号との論理和を取り、H(第3の論理レベル)をクロックドライバ25-Cを介して、機能ブロック21-Cのクロック端子に出力して、クロック入力をインアクティブにする。

【0014】ORゲート24-Dは、Lの出力Dとメインクロックピン13に入力される外部クロック信号との論理和を取り、クロック信号をクロックドライバ25-Dを介して、機能ブロック21-Dのクロック端子に出力する。機能ブロック21-A、21-B、21-Dの順序回路は、パワーオンリセットピン12に入力されるパワーオンリセット信号によって、リセットされる。そして、機能ブロック21-A、21-B、21-Dは、データ入力ピン11-1、11-2、…に入力されるデータを入力して、メインクロックピン13に入力されるクロックにしたがって、動作して機能1を実行する。この時、機能ブロック21-A、21-B、21-Dのクロック端子には、クロックスキュー対策用及びファンアウト対策用のクロックドライバ25-A、21-B、21-Dから直接クロック信号が入力されるので、クロックスキュー及びファンアウトが問題になることがない。一方、機能ブロック21-Cのリセット端子には、Hが入力されて、リセットされるとともに、クロック端子は、H固定となり、機能ブロック21-Cは動作しない。この時、機能ブロック21-Cの消費電力は、クロック及びリセット以外のデータピンD1、D2、…の変化のみで生じる極めて小さな数値となり、機能1における総消費電力が低減される。

【0015】(b) 機能2

図5に示すように、機能2を実行するために、LSI論理回路20に接続される図示しない回路(例えば、ASICなど)で切り替えピンD1=0、D2=1にする。図4に示す制御回路22は、A出力をD1(=0)のレベルに等しいL、B出力をD2(=1)のレベルに等しいH、C出力をH、D出力をHにする。ORゲート23-Aは、機能ブロック21-Aの順序回路のリセット端子にパワーオンリセットピン12より入力されたパワーオンリセット信号を出力する。ORゲート23-Bは、機能ブロック21-Bの順序回路のリセット端子にHを出力する。ORゲート23-Cは、機能ブロック21-

Cの順序回路のリセット端子にHを出力する。ORゲート23-Dは、機能ブロック21-Dの順序回路のリセット端子にHを出力する。ORゲート24-Aは、クロックドライバ25-Aを介して、機能ブロック21-Aの順序回路のクロック端子にメインクロックピン13より入力された外部クロック信号を出力する。ORゲート24-Bは、クロックドライバ25-Bを介して、機能ブロック21-Bの順序回路のクロック端子にHを出力する。ORゲート24-Cは、クロックドライバ25-Cを介して、機能ブロック21-Cの順序回路のクロック端子にHを出力する。ORゲート24-Dは、クロックドライバ25-Dを介して、機能ブロック21-Dの順序回路のクロック端子にHを出力する。

【0016】機能ブロック21-Aは、パワーオンリセットピン12に入力されるパワーオンリセット信号によって、リセットされる。そして、機能ブロック21-Aは、データ入力ピン11-1、11-2、…に入力されるデータを入力して、メインクロックピン13に入力されるクロックにしたがって、動作して機能2を実行する。この時、機能ブロック21-Aのクロック端子には、クロックスキュー対策用及びファンアウト対策用のクロックドライバ25-Aから直接クロック信号が入力されるので、クロックスキュー及びファンアウトが問題になることがない。一方、機能ブロック21-B、21-C、21-Dの順序回路のリセット端子には、Hが入力されて、リセットされるとともに、クロック端子は、H固定となり、機能ブロック21-B、21-C、21-Dは動作しない。この時、機能ブロック21-B、21-C、21-Dの消費電力は、クロック及びリセット以外のデータピンD1、D2、…の変化のみで生じる極めて小さな数値となり、機能2における総消費電力が大幅に低減される。

【0017】(c) 機能3

図5に示すように、機能3を実行するために、LSI論理回路20に接続される図示しない回路(例えば、ASICなど)で切り替えピンD1=1、D2=0にする。図4に示す制御回路22は、A出力をD1(=1)のレベルに等しいH、B出力をD2(=0)のレベルに等しいL、C出力をL、D出力をHにする。ORゲート23-Aは、機能ブロック21-Aの順序回路のリセット端子にHを出力する。ORゲート23-Bは、機能ブロック21-Bの順序回路のリセット端子にパワーオンリセットピン12に入力されたパワーオンリセット信号を出力する。ORゲート23-Cは、機能ブロック21-Cの順序回路のリセット端子にパワーオンリセットピン12に入力されたパワーオンリセット信号を出力する。ORゲート23-Dは、機能ブロック21-Dの順序回路のリセット端子にHを出力する。

【0018】ORゲート24-Aは、クロックドライバ25-Aを介して、機能ブロック21-Aの順序回路の

クロック端子にHを出力する。ORゲート24-Bは、クロックドライバ25-Bを介して、機能ブロック21-Bの順序回路のクロック端子にメインクロックピン13より入力された外部クロック信号を出力する。ORゲート24-Cは、クロックドライバ25-Cを介して、機能ブロック21-Cの順序回路のクロック端子にメインクロックピン13より入力された外部クロック信号を出力する。ORゲート24-Dは、クロックドライバ25-Dを介して、機能ブロック21-Dの順序回路のクロック端子にHを出力する。機能ブロック21-B、21-Cは、パワーオンリセットピン12に入力されるパワーオンリセット信号によって、リセットされる。そして、機能ブロック21-B、21-Cは、データ入力ピン11-1、11-2、…に入力されるデータを入力して、メインクロックピン13に入力されるクロックにしたがって、動作して機能3を実行する。

【0019】この時、機能ブロック21-B、21-Cのクロック端子には、クロックスキュー対策用及びファンアウト対策用のクロックドライバ25-B、25-Cから直接クロック信号が入力されるので、クロックスキュー及びファンアウトが問題になることがない。一方、機能ブロック21-A、21-Dの順序回路のリセット端子には、Hが入力されて、リセットされるとともに、クロック端子は、H固定となり、機能ブロック21-A、21-Dは動作しない。この時、機能ブロック21-A、21-Dの消費電力は、クロック及びリセット以外のデータピンD1、D2、…の変化のみで生じる極めて小さな数値となり、機能2における総消費電力が低減される。

【0020】(d) 機能4

図5に示すように、機能4を実行するために、LSI論理回路20に接続される図示しない回路(例えば、ASICなど)で切り替えピンD1=1、D2=1にする。図4に示す制御回路22は、A出力をD1(=1)のレベルに等しいH、B出力をD2(=0)のレベルに等しいH、C出力をH、D出力をLにする。ORゲート23-Aは、機能ブロック21-Aの順序回路のリセット端子にHを出力する。ORゲート23-Bは、機能ブロック21-Bの順序回路のリセット端子にHを出力する。ORゲート23-Cは、機能ブロック21-Cの順序回路のリセット端子にHを出力する。ORゲート23-Dは、機能ブロック21-Dの順序回路のリセット端子にパワーオンリセットピン12に入力されたパワーオンリセット信号を出力する。

【0021】ORゲート24-Aは、クロックドライバ25-Aを介して、機能ブロック21-Aの順序回路のクロック端子にHを出力する。ORゲート24-Bは、クロックドライバ25-Bを介して、機能ブロック21-Bの順序回路のクロック端子にHを出力する。ORゲート24-Cは、クロックドライバ25-Cを介して、

機能ブロック21-Cの順序回路のクロック端子にHを出力する。ORゲート24-Dは、クロックドライバ25-Dを介して、機能ブロック21-Dの順序回路のクロック端子にメインクロックピン13より入力された外部クロック信号を出力する。機能ブロック21-Dは、パワーオンリセットピン12に入力されるパワーオンリセット信号によって、リセットされる。そして、機能ブロック21-Dは、データ入力ピン11-1, 11-2, …に入力されるデータを入力して、メインクロックピン13に輸入されるクロックにしたがって、動作して機能4を実行する。

【0022】この時、機能ブロック21-Dのクロック端子には、クロックスキュー対策用及びファンアウト対策用のクロックドライバ25-Dから直接クロック信号が入力されるので、クロックスキュー及びファンアウトが問題になることがない。一方、機能ブロック21-A, 21-B, 21-Cの順序回路のリセット端子には、Hが入力されて、リセットされるとともに、クロック端子は、H固定となり、機能ブロック21-A, 21-B, 21-Cは動作しない。この時、機能ブロック21-A, 21-B, 21-Cの消費電力は、クロック及びリセット以外のデータピンD1, D2, …の変化のみで生じる極めて小さな数値となり、機能2における総消費電力が大幅に低減される。以上説明したように、本実施形態によれば、LSI論理回路を機能毎に分割し、切り替えピンにて、未使用時の機能ブロックへ入力されるクロックをHに固定し、リセットをアクティブ状態（ここでは、H）に固定することにより、各機能毎に動作する順序回路を限定して、LSI論理回路全体の消費電力削減の効果が期待できる。

【0023】なお、本発明は、上記実施形態に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 上記実施形態では、4つの機能、機能ブロック数が4個の場合を説明したが、 n ($n \geq 2$) 個の機能ブロック、 m ($n \geq m \geq 2$ の整数) 個の機能の場合にも、勿論、適用可能である。この場合は、切り替えピンの数を1とした時に、 $2^1 \geq m$ として、1ビットの切り替え信号が示す機能を果たすために動作するべき機能ブロックに対応する出力信号を、例えば、Lにして、それ以外の機能ブロックをインアクティブにするために、その機能ブロックに対応する出力信号を、例えば、Hにするように、制御回路を組み合わせ回路で構成すればよい。

(2) LSI論理回路は、CMOS以外のBiCMOSなどで構成した場合も、機能ブロックをインアクティブにすることにより、論理レベルが変化することによる電流が流れることが少なくなり、消費電力を低減することができる。

【0024】(3) 上記実施形態では、イクアクティブにする機能ブロックのリセット、クロックともにHで

固定したが、一般的には、順序回路のトランジスタ構成による消費電力の特性に合わせて最も低消費電力化が実現できる値に固定する。例えば、リセット状態でクロックをLに固定した方が低消費電力化が図れる様なトランジスタ回路によって順序回路が構成されている場合には、クロックラインに挿入したORゲートをNORゲートにして非動作時には、クロックをLに固定する。

(4) 上記実施形態では、クロック非同期型のリセット機能の順序回路について説明したが、クロック同期型のリセット機能の順序回路についても、動作させないものについては、クロックを停止させて、リセット端子をHまたはLで固定することにより同様の利点が得られる。

(5) データピンD1, D2, …から入力されるデータに対しても、制御回路の出力とデータピンD1, D2, …から入力されるデータとのORを取り、動作させない機能ブロックについては、H固定入力するようにしてもよい。

(6) 上記実施形態では、LSI論理回路20を1チップで構成して、切り替えピン14-1, 14-2及びデータピン11-1, 11-2, …に接続される回路を別チップで構成する例を示したが、制御回路22及びデータピンD1, D2, …に接続される回路をそのLSI論理回路20のチップ内に設けてもよい。

【0025】

【発明の効果】以上詳細に説明したように、第1～第3の発明によれば、機能を示す切り替え信号を入力して、該切り替え信号が示す機能を実行するために制御信号を生成する制御回路と、機能を実行する必要の無い機能ブロックのクロック入力を停止するクロック停止回路を設けたので、必要の無い機能ブロックは動作しないので、消費電力を低減させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態のLSI論理回路の構成図である。

【図2】従来のLSI論理回路の構成図である。

【図3】図1のLSI論理回路の機能の一例を示す図である。

【図4】図1中の制御回路の構成図である。

【図5】図1の動作説明図である。

【符号の説明】

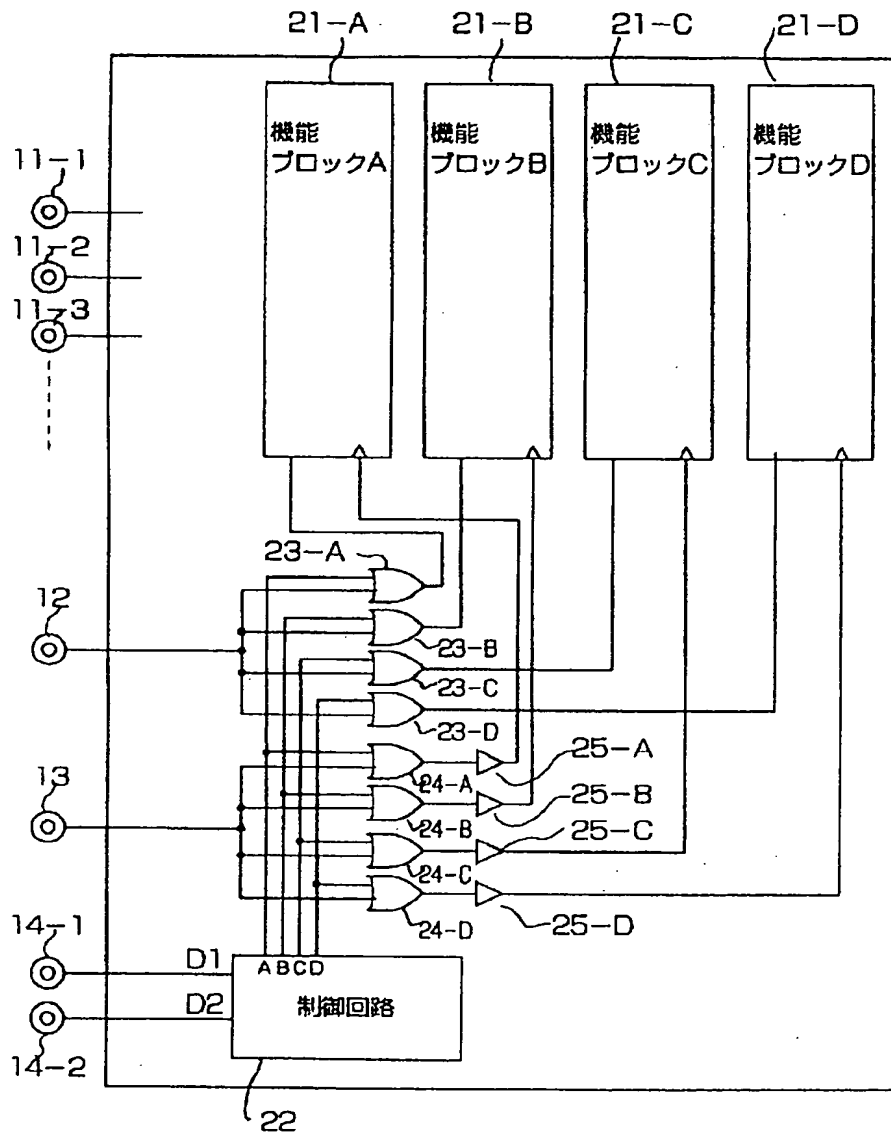
11-1, 11-2, …	データ入力ピン
12	パワーオンリセットピン
13	メインクロックピン
14-1, 14-2	切り替えピン
22	制御回路

23-A~23-D
ト
24-A~24-D

ORゲート
25-A~25-D
ORゲート
ドライバ

クロック

【図1】



11-1, 11-2, 11-3... : データ入力ピン

12 : パワーオンリセットピン

13 : メインクロックピン

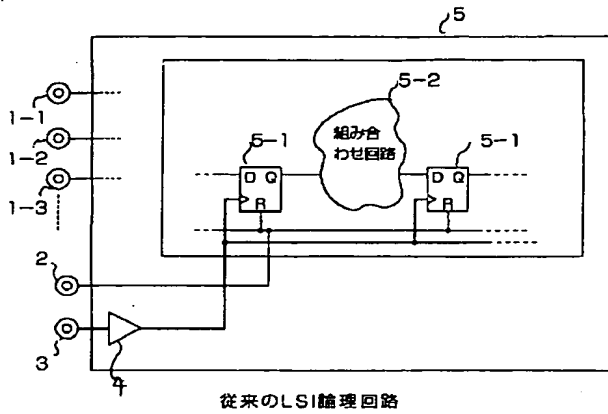
14-1, 14-2 : 切り替えピン

20 : LSI論理回路

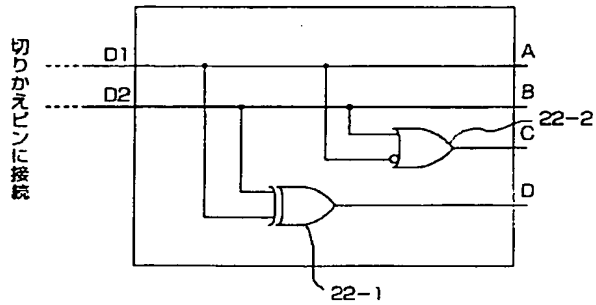
25-A, 25-B, 25-C, 25-D : クロックスキューおよびファンアウト
対策用クロックドライバ

本発明の実施形態のLSI論理回路

【図2】



【図4】



【図3】

機能名	動作させるブロック			
	A	B	C	D
機能1	○	○		○
機能2	○			
機能3		○	○	
機能4				○
合計	4通り			

LSI論理回路の機能の一例

【図5】

機能名	切り替えピン		制御回路出力	アクティブになる機能ブロック
	D1	D2		
機能1	0	0	A=B=D=L C=H	A, B, D
機能2	0	1	A=L B=C=D=H	A
機能3	1	0	B=C=L A=D=H	B, C
機能4	1	1	D=L A=B=C=H	D
以下、切り替えピン数を最高、分割したブロック数(ここでは4)に増やせば、アクティブになる機能ブロックはすべての組合わせを実現できる。				

図1の動作説明図